

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-156654

(43)Date of publication of application : 31.05.2002

(51)Int.Cl. G02F 1/1368  
G02B 5/20  
G02F 1/1335  
G02F 1/1343  
G09F 9/30  
G09F 9/35

(21)Application number : 2001-221955

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 17.02.1995

(72)Inventor : MATSUO MUTSUMI

(30)Priority

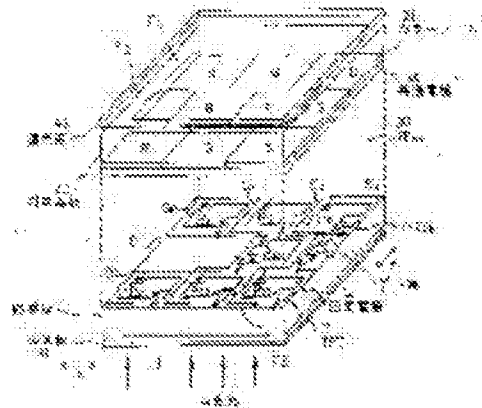
Priority number : 06020483 Priority date : 17.02.1994 Priority country : JP

## (54) ACTIVE MATRIX SUBSTRATE AND LIQUID CRYSTAL DEVICE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a high quality color liquid crystal display device in a delta array.

**SOLUTION:** A delta array is constituted by periodically arranging pixel regions (P11, P12 and P13) having pixel electrodes (12) corresponding to red, green and blue colors in an X direction while making the three colors as a unit and arranging the regions to be deviated for 1/2 period at odd and even number stages in a Y direction. When only the pixel electrodes of regions (P12, P22 and P32) corresponding to a same color are connected with respect to a same source line (S2), the regions are arranged in left and right alternatively with respect to the line. Among pixel regions arranged along the X direction, relative positions of a TFT (11), pixel electrodes, a first electrode section (C1) and a second electrode section (C2) of a holding capacitance (CS) are made the same. Among pixel regions arranged in the Y direction along source lines (S1, S2, etc.), the relative locations of the TFT and the pixel electrode are inverted left and right every other stage. However, the relative position relationships of the holding capacitance and the first and the second electrode sections are made the same.



## LEGAL STATUS

[Date of request for examination] 30.07.2001

[Date of sending the examiner's decision of rejection] 07.09.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2004-020626

[Date of requesting appeal against examiner's decision of rejection] 06.10.2004

[Date of extinction of right]



## 【特許請求の範囲】

【請求項1】 X方向に延びた複数のゲート線と、X方向と直交するY方向に延びた複数のソース線と、前記ゲート線と前記ソース線との交点に対応して配置された複数の画素電極と、前記ゲート線に電気的に接続されたゲート電極と前記ソース線に電気的に接続されたソース領域と前記画素電極に電気的に接続されたドレイン領域とを有し前記画素電極に対応して配置された複数の薄膜トランジスタと、前記画素電極に電気的に接続された第1の電極部と前記ゲート線に電気的に接続された第2の電極部とを有し前記画素電極に対応して配置された複数の保持容量コンデンサとを有し、同一のソース線に対して前記薄膜トランジスタを介して電気的に接続された複数の画素電極のうちY方向で隣接し合う画素電極同士は、前記同一のソース線を挟んで反対側に位置するように配置され、隣接するゲート線に電気的に接続された保持容量コンデンサ同士の間で、前記第2の電極部に対する前記第1の電極部の相対的な形成位置が同一であることを特徴とするアクティブマトリクス基板。

【請求項2】 X方向に延びた複数のゲート線と、X方向に延びた複数の保持容量線と、X方向と直交するY方向に延びた複数のソース線と、前記ゲート線と前記ソース線との交点に対応して配置された複数の画素電極と、前記ゲート線に電気的に接続されたゲート電極と前記ソース線に電気的に接続されたソース領域と前記画素電極に電気的に接続されたドレイン領域とを有し前記画素電極に対応して配置された複数の薄膜トランジスタと、前記画素電極に電気的に接続された第1の電極部と前記保持容量線に電気的に接続された第2の電極部とを有し前記画素電極に対応して配置された保持容量コンデンサとを有し、同一のソース線に対して前記薄膜トランジスタを介して電気的に接続された複数の画素電極のうちY方向で隣接し合う画素電極同士は、前記同一のソース線を挟んで反対側に位置するように配置され、隣接する保持容量線に電気的に接続された保持容量コンデンサ同士の間で、前記第2の電極部に対する前記第1の電極部の相対的な形成位置が同一であることを特徴とするアクティブマトリクス基板。

【請求項3】 請求の範囲第1項又は第2項に記載されたアクティブマトリクス基板を用いたカラー液晶表示装置であって、前記画素電極に対応して形成された赤色、緑色、青色の3色のカラーフィルタが前記3色を1単位としてX方向に周期的に配列された第1のカラーフィルタ列と、前記第1のカラーフィルタ列にY方向で隣接し前記3色を1単位としてX方向に周期的に配列された第2のカラーフィルタ列とを有し、前記第1のカラーフィルタ列と前記第2のカラーフィルタ列とは、前記1単位の周期の1/2周期に相当する距離だけX方向に交互にずれた状態に配置され、同一のソース線に対しては、同色のカラーフィルタに対応する画素電極のみが前記薄膜ト

ランジスタを介して接続されていることを特徴とするカラー液晶表示装置。

【請求項4】 請求の範囲第1項又は第2項に記載されたアクティブマトリクス基板を用いたカラー液晶表示装置であって、前記画素電極に対応して形成された赤色、緑色、青色の3色のカラーフィルタが前記3色を1単位としてX方向に周期的に配列された第1のカラーフィルタ列と、前記第1のカラーフィルタ列にY方向で隣接し前記3色を1単位としてX方向に周期的に配列された第2のカラーフィルタ列とを有し、前記第1のカラーフィルタ列と前記第2のカラーフィルタ列とは、前記1単位の周期の1/3周期に相当する距離だけX方向に交互にずれた状態に配置され、同一のソース線に対しては、同色のカラーフィルタに対応する画素電極のみが前記薄膜トランジスタを介して接続されていることを特徴とするカラー液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、液晶表示装置に用いるアクティブマトリクス基板の素子構造、特に保持容量コンデンサの構造に関するものである。また、そのアクティブマトリクス基板を用いたカラー液晶表示装置の構造に関するものである。

【背景技術】アクティブマトリクス基板を用いたカラー液晶表示装置の基本的な構造を図1に示す。図1において、基板10の表面には、X方向に延びたゲート線G0、G1、G2…と、Y方向に延びたソース線S1、S2、S3…と、これらのソース線S1、S2、S3…とゲート線G1、G2、G3…との交点に対応する位置に配置された複数の画素電極12と、各画素電極に接続された薄膜トランジスタ(以下、「TFT」という。)11とが形成されている。

【0002】そして、選択期間すなわち、ゲート線G1、G2、G3…からの信号によってTFT11がオン状態である期間、には、対向基板20に形成された共通電極26、画素電極12及びそれらの間隙に封入されている液晶30で構成された液晶容量部CLCに、ソース線S1、S2、S3…から供給される画像信号が書き込まれる。一方、非選択期間、すなわち、TFT11がオフ状態である期間、には、選択期間に液晶容量部CLCに書き込まれた画像信号が保持される。

【0003】ここで、品位の高い表示を行なうためには非選択期間における保持特性が良好であることが求められる。それには、液晶容量部CLCに対して電気的に並列に保持容量コンデンサCSを設けることが有効である。保持容量コンデンサCSについては、前段のゲート線と画素電極12との間に保持容量コンデンサCSを設ける構成、又は別途に形成した保持容量線(図1には図示せず)と画素電極12との間に保持容量コンデンサCSを設ける構成などが提案されている。

【0004】

【発明が解決しようとする課題】このようにして構成された保持容量コンデンサCS、画素電極12、TFT11、その他の付随する配線などで画素領域P11、P12、P13...が構成されている。なお、ここでは、画素領域P11と画素領域P31との間には画素領域が形成されていないが、その領域に青色用の画素領域が形成されているものやダミーの画素領域が形成されているものもある。

対向基板20には、カラーフィルタ21が形成されている。カラーフィルタ21は、一般的に、赤色フィルタR、緑色フィルタG及び青色フィルタBからなる。これらの赤色フィルタR、緑色フィルタG及び青色フィルタBは、それらを1単位として表示画面内に繰り返し配置されている。カラーフィルタ21の配列には、ストライプ配列、モザイク配列、又はデルタ配列がある。ここで、図12にはデルタ配列の色配列パターンを示し、図13にはモザイク配列の色配列パターンの一例について示す。このようなデルタ配列やモザイク配列では、各色要素が表示画面内に均一に分散するため、ストライプ配列に比較して、なめらかな画像を表示できるという利点がある。

【0005】デルタ配列が用いられた液晶表示装置としては、特公平3-64046号公報第3図Aに開示されたものなどがあり、モザイク配列が用いられた液晶表示装置としては、同公報第8図C～Fに開示されたものなどがある。

【0006】この公報に記載された液晶表示装置のうち、デルタ配列が用いられたものは、図14に示すように、赤色フィルタR、緑色フィルタG、青色フィルタBに対応する3つの画素領域P21、P22、P23が、それらを1単位としてX方向に周期的に配置されている。但し、偶数段目の画素列における画素領域P21、P22、P23は、奇数段目の画素列における画素領域P11、P12、P13、又は画素領域P31、P32、P33に対して前記1単位の1/2周期に相当する距離だけずらして配置されている。このため、奇数段目の画素列と偶数段目の画素列との間では、画素領域P11、P12、P13...の中心位置が1.5画素ピッチに相当する距離だけ左右交互にずれた状態にある。

【0007】いずれの画素領域も、基本構成が同じであるため、画素領域P21を例に説明する。画素領域P21において、TFT11のソース領域111は、ソース線S1に接続され、ゲート電極113は、ゲート線G2に接続され、ドレイン領域112は、画素電極12に接続されている。

【0008】また、画素領域P21には、TFT11のドレイン領域112及び画素電極12に電気的に接続された第1の電極部C1と、前段のゲート線G1からY方向に張り出した構造をもつ第2の電極部C2とが形成されている。第1の電極部C1の材料は、通常、ドーパントシリ

コンシリコン膜が用いられている。第1の電極部C1と、第2の電極部C2とは、後述するとおり、誘電体膜を介して対向して配置されている。このようにして、画素電極12と前段のゲート線G1との間に保持容量コンデンサCSが形成されている。

【0009】また、各ソース線S1、S2、S3...は、Y方向にクランク状に曲折しながら延びているとともに、複数の色信号を同一のソース線に適切なタイミングで供給するための複雑な色切換回路を不要とするため、同一のソース線に対しては、同じ色に対応する画素領域の画素電極12のみがTFT11を介して接続されている。従って、同一のソース線には、1段毎に同じ色に対応する画素領域がソース線の両側に交互に配置されることになる。例えば、ソース線S2の場合には、緑色に対応した画素領域P12、P22、P32...がソース線S2の両側に交互に配置されている。また、必然的に、TFT11とソース線の位置関係も1段毎に逆になっている。

【0010】その結果、ゲート線G1、G2、G3...に沿ってX方向に並ぶ各画素領域P11、P12、P13...の間では、TFT11、画素電極12及び保持容量コンデンサCS(第1の電極部C1及び第2の電極部C2)の相対的な形成位置は同一である一方、ソース線S2に沿ってY方向に並ぶ画素領域P12、P22、P32...の間では、TFT11、画素電極12及び保持容量コンデンサCSの相対的な形成位置は、一段毎に左右対称の関係になっている。例えば、ゲート線G1に接続する画素領域P11、P12、P13...と、ゲート線G2に接続する画素領域P21、P22、P23...の間では、TFT11、画素電極12及び保持容量コンデンサCSの相対的な位置関係が左右対称になっている。

【0011】このような構成のアクティブマトリクス基板の製造方法を、図15を参照して簡単に説明する。図15(A)、(B)、(C)は、それぞれ図14のI-I'断面図、II-II'断面図、III-III'断面図である。

図15(A)において、まず、基板10の上に多結晶シリコン薄膜を形成した後、フォトリソグラフィ技術によるパターニングによって、TFT11の能動領域と、保持容量コンデンサCSの第1の電極部C1とを構成する多結晶シリコン薄膜110を形成する。

次に、多結晶シリコン膜110の熱酸化により、ゲート酸化膜114と、保持容量コンデンサCSの誘電体膜C3とを形成する。次に、保持容量コンデンサCSを構成するための多結晶シリコン膜110に対してのみ、不純物を選択的にドーピングし、保持容量コンデンサCSの第1の電極部C1を形成する。

続いて、フォトリソグラフィ技術により、ゲート電極113と、保持容量コンデンサCSの第2の電極部C2とを多結晶のドーパントシリコン膜により形成する。この状態で、画素領域P21では、ゲート電極113とゲート線G2とが電気的に接続され、第2の電極部C2と前段のゲ

ート線G1とが電氣的に接続された状態にある。

【0012】次に、ゲート電極113をマスクとしてイオンを打ち込むことにより、ソース領域111及びドレイン領域112を形成する。次に、層間絶縁膜115を形成した後、それにスルーホールを形成する。

【0013】しかる後に、ソース領域111及びドレイン領域112に対して、ソース端子118及びドレイン端子119をそれぞれ電氣的に接続する。ここで、ソース端子118は、ソース線S1に電氣的に接続され、ドレイン端子119は、画素電極12に電氣的に接続されて

いる。  
【0014】このようにして、画素領域P21にTFT11と保持容量コンデンサCSとを形成するとともに、図15(B)、(C)に示すように、画素領域P11、P12、P22にも、保持容量コンデンサCSを形成する。

【0015】しかしながら、図14に示すパターンを用いた場合には、基板10の上にフォトリソグラフィ技術によって各構成部分を形成していくとき、左右方向(X方向)にアライメントのずれが発生すると、例えば、ソ

ース線S2に沿ってY方向に並ぶ各画素領域P12、P22、P32...では、構造パラメータが一段毎に異なってしまう。  
【0016】すなわち、図16において、TFT11及び保持容量コンデンサCSの第1の電極部C1を形成するための下層側の多結晶シリコン膜の形成パターンA1と、ゲート線G1、G2、G3...、ゲート電極113及び保持容量コンデンサCSの第2の電極部C2を形成するための上層側の多結晶シリコン膜の形成パターンA2と、の重なり部分を保持容量コンデンサCSの対向部分C0として斜線を付したとき、下層側の多結晶シリコン膜の形成パターンA1と、上層側の多結晶シリコン膜の形成パターンA2との間でアライメントが左右にずれると、ゲート線G1、G3...により選択される奇数段目の画素領域P11、P12...、P31、P32...の保持容量コンデンサCS(ODD)。(これらの保持容量コンデンサは、ゲート線G0、G2...に接続されている。)と、ゲート線G2、(G4)...により選択される画素領域P21、P22...の保持容量コンデンサCS(EVEN)。(これらの保持容量コンデンサは、ゲート線G1、G3...に接続されている。)との間で、斜線を付した対向部分C0の面積が変動する。

図16には、左右方向にアライメントのずれがない理想的な場合が示されているため、保持容量コンデンサCS(ODD)の容量値と保持容量コンデンサCS(EVEN)の容量値は等しい。

【0017】しかしながら、左右方向にアライメントのずれがある場合には、保持容量コンデンサCS(ODD)の容量値と保持容量コンデンサCS(EVEN)の容量値とは異なる値をもつ。例えば、下層側の多結晶シ

リコン薄膜の形成パターンA1が上層側の多結晶シリコン薄膜の形成パターンA2に対して矢印Rの方向にずれた状態に形成されると、保持容量コンデンサCS(ODD)の容量値は、大きくなるのに対し、保持容量コンデンサCS(EVEN)の容量値は、小さくなる。

【0018】その結果、N型のTFTを用いた場合には、奇数段目のゲート線G1、G3...の最適LCコモン電圧は、偶数段目のゲート線G2...の最適LCコモン電圧よりも高くなり、最適LCコモン電圧に差が発生し、ゲート線単位でフリッカが発生するという問題が生ずる。

【0019】

【課題を解決するための手段】このような問題点を解消するために、本発明の目的は、保持容量コンデンサを構成する各電極部の形成パターンを改良することにより、同一のソース線に対して各画素領域の画素電極が1段毎に左右反対側から交互に接続するような場合でも、フリッカーのないアクティブマトリクス基板を提供することにある。また、本発明の別の目的は、このように構成したアクティブマトリクス基板を用いた高品質なカラー液晶表示装置を提供することにある。

【0020】このような課題を解決するために、本発明の第1の形態では、まず、アクティブマトリクス基板に対し、X方向に延びた複数のゲート線と、X方向と直交するY方向に延びた複数のソース線と、前記ゲート線と前記ソース線との交点に対応して配置された複数の画素電極と、前記ゲート線に電氣的に接続されたゲート電極と、前記ソース線に電氣的に接続されたソース領域と前記画素電極に電氣的に接続されたドレイン領域とを有し前記画素電極に対応して配置された複数の薄膜トランジスタと、前記画素電極に電氣的に接続された第1の電極部と前段のゲート線に電氣的に接続された第2の電極部とを有し前記画素電極に対応して配置された複数の保持容量コンデンサとを設ける。

【0021】そして、同一のソース線に対して前記薄膜トランジスタを介して電氣的に接続された複数の画素電極のうちY方向で隣接し合う画素電極同士については、前記同一のソース線を挟んで反対側に位置するように配置する一方、隣接するゲート線に電氣的に接続された保持容量コンデンサ同士の間で、前記第2の電極部に対する前記第1の電極部の相対的な形成位置を同一とすることに特徴を有する。本発明の第2の形態では、まず、アクティブマトリクス基板に対して、X方向に延びた複数のゲート線と、X方向に延びた複数の保持容量線と、X方向と直交するY方向に延びた複数のソース線と、前記ゲート線と前記ソース線との交点に対応して配置された複数の画素電極と、前記ゲート線に電氣的に接続されたゲート電極と前記ソース線に電氣的に接続されたソース領域と前記画素電極に電氣的に接続されたドレイン領域とを有し前記画素電極に対応して配置された複数の薄膜トランジスタと、前記画素電極に電氣的に接続された第

1の電極部と前記保持容量線に電気的に接続された第2の電極部とを有し前記画素電極に対応して配置された保持容量コンデンサとを設ける。

【0022】そして、同一のソース線に対して前記薄膜トランジスタを介して電気的に接続された複数の画素電極のうちY方向で隣接し合う画素電極同士については、前記同一のソース線を挟んで反対側に位置するように配置する一方、隣接する保持容量線に電気的に接続された保持容量コンデンサ同士の間で、前記第2の電極部に対する前記第1の電極部の相対的な形成位置を同一とする

ことを特徴とする。

【0023】このように構成したアクティブマトリクス基板では、Y方向に隣接する保持容量コンデンサ同士の間で、前記第2の電極部に対する前記第1の電極部の相対的な形成位置が同一であるため、各構成部分をフォトリソグラフィ技術を用いて形成するときに、アライメントのずれが発生しても、それらの保持容量コンデンサ同士の間で、第1の電極部と第2の電極部との対向面積に差が発生せず、それらの保持容量コンデンサの容量値を均一にすることができる。

【0024】それ故、液晶表示装置にこのような構成のアクティブマトリクス基板を用いることによって、隣接する保持容量コンデンサ間で保持容量値が相違することによるゲート線単位でのフリッカーの発生を防止することができる。

【0025】本発明において、前記のアクティブマトリクス基板を用いてデルタ配列のカラー液晶表示装置を構成する場合には、まず、画素電極に対応して形成された赤色、緑色、青色の3色のカラーフィルタが前記の3色を1単位としてX方向に周期的に配列された第1のカラーフィルタ列と、この第1のカラーフィルタ列にY方向で隣接し前記の3色を1単位としてX方向に周期的に配列された第2のカラーフィルタ列とを設ける。そして、第1のカラーフィルタ列と第2のカラーフィルタ列とを前記の1単位周期の1/2周期に相当する距離だけX方向に交互にずれた状態に配置するとともに、同一のソース線に対しては、同色のカラーフィルタに対応する画素電極のみを接続する。

【0026】また、本発明において、前記のアクティブマトリクス基板を用いてモザイク配列のカラー液晶表示装置を構成する場合には、デルタ配列の場合とは異なり、第1のカラーフィルタ列と第2のカラーフィルタ列とを前記の1単位周期の1/3周期に相当する距離だけX方向に交互にずれた状態に配置するとともに、同一のソース線に対しては、同色のカラーフィルタに対応する画素電極のみを接続する。

【0027】

【発明の実施の形態】〔第1の実施例〕図1は、アクティブマトリクス基板を用いたカラー液晶表示装置の基本的な構成を示す図である。図2は、本実施例の液晶表示

装置に用いたアクティブマトリクス基板の各構成部分の形成パターンを示す平面図である。なお、本実施例のアクティブマトリクス基板は、従来のアクティブマトリクス基板と画素領域内における各構成部分の形成パターンのみが相違し、その他の部分は同様であるので、共通する機能を有する構成部分については、同じ符号を付してその詳細な説明を省略する。

【0028】図1において、本実施例のカラー液晶表示装置では、アクティブマトリクス基板を構成する透明な基板10の表面に、X方向に延びるゲート線G0、G1、G2・・・と、Y方向に延びるソース線S1、S2、S3・・・との交点に対応して画素領域P11、P12、P13・・・が形成されている。そして、各画素領域P11、P12、P13・・・において、ソース線S1、S2、S3・・・に対してTFT11を介して透明な画素電極12が接続されている。そして、ゲート線G1、G2、G3・・・からの信号によってTFT11がオン状態である期間(選択期間)には、液晶容量部CLCに、ソース線S1、S2、S3・・・から供給される画像信号が書き込まれる。一方、TFT11がオフ状態である期間(非選択期間)には、選択期間に液晶容量部CLCに書き込まれた画像信号が保持される。

【0029】ここで、品位の高い表示を行なうためには非選択期間における保持特性が良好であることが求められる。そこで、ゲート線G0、G1、G2・・・のうち前段のゲート線と画素電極12との間には、保持容量コンデンサCSが構成されている。ゲート線G0、G1、G2・・・のうち、ゲート線G0には、TFT11のゲート電極が接続されていないので、ゲート線G0は、実質的には専用の容量線である。

【0030】なお、基板10及び対向基板20の外側には、偏光板41、42が配置されている。

【0031】対向基板20には、カラーフィルタ21が形成されている。カラーフィルタ21は、一般的に、赤色フィルタR、緑色フィルタG、青色フィルタBからなる。各画素領域P11、P12、P13・・・の画素電極12は、それぞれこれらの3色のカラーフィルタ21に対応して配置されている。本実施例のカラーフィルタ21の配列は、デルタ配列(図12)である。すなわち、対向基板20では、赤色(R)、緑色(G)、青色(B)の3色のカラーフィルタが、これら3色を1単位としてX方向に周期的に配列された第1のカラーフィルタ列F1(奇数段目のカラーフィルタ列)と、このカラーフィルタ列にY方向で隣接し、前記の3色を1単位としてX方向に周期的に配列された第2のカラーフィルタ列F2(偶数段目のカラーフィルタ列)とが形成され、第1のカラーフィルタ列F1と第2のカラーフィルタ列F2とは、前記の1単位周期の1/2周期に相当する距離だけX方向に交互にずれて配置されている。このように構成したデルタ配列では、各色要素が画面内で均一に

分散しているので、なめらかな画像品質が要求される画像表示用に特に適している。

【0032】このように構成したカラーフィルタの配列に対応して、アクティブマトリクス基板では、図2及び図3に示すように、赤色フィルタR、緑色フィルタG、青色フィルタBに対応する3つの画素領域P11、P12、P13がそれらを1単位としてX方向に周期的に配置された第1の画素列(奇数段目の画素列)が形成されている。また、第1の画素列にY方向において隣合う第2の画素列(偶数段目の画素列)では、同じ1単位に相当する画素領域P21、P22、P23が第1の画素列に対して1/2周期に相当する距離だけX方向にずれるように配置されている。また、第2の画素列にY方向において隣合う画素列(奇数段目の画素列)において、同じ1単位に相当する画素領域P31、P32、P33は、画素領域P21、P22、P23に対して反対の方向に1/2周期に相当する距離だけずれるように配置されている。このため、画素領域P31、P32、P33を含む画素列は、画素領域P11、P12、P13を含む画素列をY方向にそのまま平行移動した状態にある。従って、各画素領域P11、P12、P13・・・の中心位置は、Y方向において1/5画素ピッチだけ一段毎に左右交互にずれた状態にある。

【0033】各ソース線S1、S2、S3・・・は、クランク状に曲折しながらY方向延びている。そして、同一のソース線に対しては、同じ色に対応する画素のみが接続している。従って、同一のソース線からは、赤色、緑色、青色のいずれか一色の表示を行なうための信号のみが供給すればよい構成になっている。なお、本実施例では、クランク状に曲折しながらY方向に延びたソース線を用いたが、その代わりに、曲線状に延行しながらY方向に延びたソース線を用いてもよい。

【0034】いずれの画素領域も、基本的な構成が同じであるため、画素領域P21を例に説明する。図2からわかるように、TFT11のゲート電極113はゲート線G2に接続され、ソース領域111はソース線S1に接続され、ドレイン領域112は画素電極12に接続されている。画素領域P21には、ドレイン領域112と画素電極12とに電気的に接続された第1の電極部C1が形成され、第1の電極部C1はドーパドシリコン膜で形成されている。また、前段のゲート線G1からY方向に延びた第2の電極部C2が形成されている。

【0035】第1の電極部C1と第2の電極部C2とは、誘電体膜を介して対向しており、前段のゲート線G2と画素電極12との間に保持容量コンデンサCSが形成されている状態にある。

【0036】このように構成したアクティブマトリクス基板では、クランク状のソース線S1、S2、S3・・・に対して、画素領域P11、P12、P13・・・のうち、デルタ配列された各カラーフィルタ21の同じ色

に対応する画素領域の画素電極12のみが接続されている。このため、同一のソース線S2には、Y方向において、緑色(R)に対応する画素領域P12、P22、P32・・・の画素電極12が左右反対側から交互に接続されている。その他のソース線S1、S3・・・でも同様である。

【0037】ここで、ゲート線G1に沿ってX方向に並ぶ各画素領域P11、P12、P13・・・の間では、TFT11、画素電極12及び保持容量コンデンサCS(第1の電極部C1及び第2の電極部C2)の相対的な形成位置が同一である。また、ゲート線G2に沿ってX方向に並ぶ各画素領域P21、P22、P23・・・の間でも、TFT11、画素電極12及び保持容量コンデンサCS(第1の電極部C1及び第2の電極部C2)の相対的な形成位置が同一である。

【0038】これに対し、ソース線S2に沿ってY方向に並ぶ画素領域P12、P22、P32・・・の間では、TFT11及び画素電極12の相対的な形成位置が一段毎に左右反転するパターンになっている。すなわち、ゲート線G1に接続する奇数段目の画素領域P11、P12、P13・・・と、ゲート線G2に接続する偶数段目の画素領域P21、P22、P23・・・の間では、TFT11及び画素電極12の形成パターンが左右対称になっている。

【0039】しかしながら、保持容量コンデンサCSは、いずれの画素領域においても同じ相対位置に形成されている。言い替えると、画素領域における保持容量コンデンサCSの相対位置は、Y方向に隣接する保持容量コンデンサ同士の間で同一である。

【0040】また、保持容量コンデンサCSの第1の電極部C1と、前段のゲート線G0、G1、G2・・・から張り出す第2の電極部C2との間における相対的な位置関係は、各画素領域P12、P22、P32・・・の間でX方向及びY方向のいずれの方向においても同一である。

【0041】例えば、ゲート線G1に接続する画素領域P12では、前段のソース線S1が通る領域に保持容量コンデンサCSが形成されている。同様に、ゲート線G3に接続する画素領域P32でも、前段のソース線S1が通る領域に保持容量コンデンサCSが形成されている。従って、ゲート線G1、G3に接続するいずれの画素領域P11、P12・・・、P31、P32・・・でも、保持容量コンデンサCSの第1の電極部C1は、TFT11のドレイン領域112との接続位置から画素電極12の左側領域にまでそのまま延びおり、この左側領域において、前段のゲート線G0、G2から張り出す第2の電極部C2に重なっている。

【0042】これに対して、ゲート線G2に接続する画素領域P22では、画素領域P22自身が接続するソース線S2が通る領域に保持容量コンデンサCSが形成さ

れている。従って、ゲート線G2に接続するいずれの画素領域P21、P22・・・でも、保持容量コンデンサCSの第1の電極部C1は、TFT11のドレイン領域112との接続位置からソース領域111に向かって一旦折り返し、ソース領域111付近からは、奇数段目の画素領域P11、P12・・・P31、P32・・・と同様、画素電極12の左側領域にまで延びている。そして、この左側領域において、前段のゲート線G1から張り出す第2の電極部C2に重なっている(図3)。

【0043】このような構成のアクティブマトリクス基板の製造方法を、図4を参照して説明する。図4(A)、(B)、(C)は、それぞれ図2のIV-IV'断面図、V-V'断面図、VI-VI'断面図である。

【0044】図4(A)において、まず、フォトリソグラフィ技術により、石英ガラスからなる基板10の上にTFT11の能動領域と保持容量コンデンサCSの第1の電極部C1とを形成するための多結晶シリコン薄膜110を形成する。

【0045】次に、多結晶シリコン膜110の熱酸化により、ゲート酸化膜114と、保持容量コンデンサCSの絶縁膜C3とを形成する。次に、保持容量コンデンサCSを形成するための多結晶シリコン膜110に対してのみ、不純物を選択的にドーピングすることによって、保持容量コンデンサCSの第1の電極部C1を形成する。

【0046】続いて、フォトリソグラフィ技術により、ゲート電極113と、保持容量コンデンサCSの第2の電極部C2とを多結晶のドーフトシリコン薄膜から形成する。この状態で、画素領域P21では、ゲート電極113がゲート線G2に電気的に接続され、第2の電極部C2が前段のゲート線G1に電気的に接続された状態にある。

【0047】次に、ゲート電極113をマスクとしてイオンを打ち込んで、ソース領域111及びドレイン領域112を形成する。次に、層間絶縁膜115を形成した後、それにスルーホールを形成する。

【0048】しかる後に、ソース領域111及びドレイン領域112に対してソース端子118及びドレイン端子119をそれぞれ電気的に接続する。ここで、ソース端子118は、ソース線S1に電気的に接続され、ドレイン端子119は、画素電極12に電気的に接続される。

【0049】このようにして、画素領域P21にTFT11と保持容量コンデンサCSとを形成するとともに、図4(B)、(C)に示すように、画素領域P11、P12、P22にも、保持容量コンデンサCSを形成する。

【0050】このような製造方法において、フォトリソグラフィ技術によって基板10の上に各構成部分を形成していくとき、左右方向(X方向)にパターンマスクのア

ライメントのずれが発生しても、本実施例では、各画素領域P11、P12、P13・・・において、構造パラメータが一段毎に異なってしまうことがない。すなわち、図5において、TFT11及び保持容量コンデンサCSの第1の電極部C1を形成するための下層側の多結晶シリコン膜の形成パターンA3と、ゲート線G1、G2、G3・・・、ゲート電極113及び保持容量コンデンサCSの第2の電極部C2を形成するための上層側の多結晶シリコン膜の形成パターンA4との重なり部分を保持容量コンデンサCSの対向部分C0として斜線を付して表したとき、多結晶シリコン膜の形成パターンA3と、多結晶シリコン膜の形成パターンA4との間でアライメントがX方向にずれても、ゲート線G1、G3・・・に接続する画素領域P11、P12・・・P31、P32・・・(奇数段目の画素領域)の保持容量コンデンサCS(ODD)(これらの保持容量コンデンサは、ゲート線G0、G2、G3・・・に接続されている。)と、ゲート線G2・・・に接続する画素領域P21、P22・・・(偶数段目の画素領域)の保持容量コンデンサCS(EVEN)(これらの保持容量コンデンサは、ゲート線G1、G3、G5・・・に接続されている。)との間で対向部分C0の面積が変動しない。

【0051】例えば、多結晶シリコン薄膜の形成パターンA3が多結晶シリコン薄膜の形成パターンA4に対して矢印Rの方向に少々ずれた状態に形成されても、奇数段目の画素領域P11、P12・・・P31、P32・・・及び偶数段目の画素領域P21、P22・・・の双方において、各保持容量コンデンサCSにおける第1の電極部C1と第2の電極部C2との対向部分C0の面積が小さくなるだけである。逆に、多結晶シリコン薄膜の形成パターンA3が多結晶シリコン薄膜の形成パターンA4に対して矢印Lの方向に少々ずれた状態に形成されても、奇数段目の画素領域P11、P12・・・P31、P32・・・及び偶数段目の画素領域P21、P22・・・の双方において、各保持容量コンデンサCSにおける第1の電極部C1と第2の電極部C2との対向部分C0の面積が大きくなるだけである。

【0052】また、アライメントが多少上下方向(Y方向)にずれても、各保持容量コンデンサCSにおける第1の電極部C1と第2の電極部C2との対向部分C0の面積は、変化しない。

【0053】このように、本実施例のアクティブマトリクス基板では、多結晶シリコン膜の形成パターンA3と、多結晶シリコン膜の形成パターンA4との間でアライメントが左右方向(X方向)又は上下方向(Y方向)にずれても、各画素領域P11、P12・・・P21、P22・・・P31、P32・・・の間で、各保持容量コンデンサCSの容量値が常に等しいので、奇数段目のゲート線G1、G3・・・の最適LCコモン電圧と、偶数段目のゲート線G2、・・・の最適LCコモン電圧と

は、常に同一である。それ故、全体的な最適LCコモン電圧を設定できるので、ゲート線単位でのフリッカーを防止することができる。

【0054】さらに、本実施例では、ソース線S1、S2、S3に沿ってY方向に並ぶ画素領域P11、P12、P13・・・の間において、TFT11及び画素電極12の相対的な形成位置を一段毎に左右反転させているだけで、保持容量コンデンサCSを形成するための第1の電極部C1の形成位置及び形状が異なるだけである。従って、第1の電極部C1と第2の電極部C2との相対的な位置関係を最適化するだけで、第1の電極部C1及び第2の電極部C2を形成する際のアライメントずれに起因するフリッカーを防止している。それ故、各構成部分の形成領域や大きさに制限がある場合にも適用できるので、高精細及び高密度の液晶表示装置を実現する際に特に有利である。

【0055】また、奇数段目のゲート線G1、G3・・・に対応する画素領域P11、P12・・・と、偶数段目のゲート線G2・・・に対応する画素領域P21、P22・・・の間において、第1の電極部C1以外の構成部分のパターンは、実質的に同一である。それ故、対向基板20とアクティブマトリクス基板とのアライメントずれ、又はアクティブマトリクス基板上でのアライメントずれが発生しても、奇数段目のゲート線G1、G3・・・に対応する画素領域P11、P12・・・と、偶数段目のゲート線G2・・・に対応する画素領域P21、P22・・・の間では、開口率の差も軽減され、それによる横ラインむらも防止することもできる。

【0056】(第2の実施例)図6は、本実施例の液晶表示装置のアクティブマトリクス基板の各構成部分の形成パターンを示す平面図である。なお、本実施例のアクティブマトリクス基板は、第1の実施例に係るアクティブマトリクス基板と保持容量コンデンサの部分のみが相違し、その他の部分は同様であるため、対応する機能を有する構成部分には同じ符号を付してある。

【0057】第1の実施例では、各保持容量コンデンサCSの第2の電極部C2を形成するのに、前段のゲート線を利用する構造であったが、本実施例では、定電位の保持容量線CM1、CM2、CM3・・・がゲート線G1、G2、G3・・・と並列にX方向に伸びた状態に形成され、保持容量コンデンサCSは、保持容量線CM1、CM2、CM3・・・を利用して第2の電極部C2を構成している。

【0058】なお、本実施例の液晶表示装置でも、第1の実施例と同様に、赤色、緑色、青色に対応する3つ各画素領域P21、P22、P23が、それらを1単位としてX方向に周期的に配置されている。また、Y方向に隣接する画素列でも、同じく1単位に相当する画素領域P11、P12、P13及び画素領域P31、P32、P33が左右交互に1/2周期ずつずらして配置されて

いる。

【0059】ここで、各ソース線S1、S2、S3・・・は、クランク状に形成されている。また、同一のソース線に対しては、同じ色に対応する画素領域の画素電極のみが接続している。従って、同一のソース線からは、赤色、緑色、青色のいずれか一色の表示を行なうための信号のみが供給すればよい構成になっている。

【0060】また、いずれ画素領域も基本的な構成が同一であるため、画素領域P21を例に説明すると、画素領域P21には、ドレイン領域112及び画素電極12に電気的に接続するドーパドシリコン膜からなる第1の電極部C1が形成され、保持容量線CM2からは、Y方向に伸びる第2の電極部C2が形成されている。第1の電極部C1と、第2の電極部C2とは、誘電体膜を介して対向しており、画素領域P21では、画素電極12と保持容量線CM2との間に保持容量コンデンサCSが構成されている。

【0061】このように構成したアクティブマトリクス基板では、クランク状のソース線に対して、デルタ配列された各カラーフィルタ21の同じ色に対応する画素領域P11、P12、P13・・・の画素電極12のみが接続され、同一のソース線S2に対しては、画素領域P12、P22、P32の画素電極12が左右反対側から接続している。その他のソース線S1、S3・・・でも同様である。

【0062】従って、第1の実施例と同様、X方向に並ぶ各画素領域P11、P12、P13・・・の間では、TFT11、画素電極12及び保持容量コンデンサCS(第1の電極部C1及び第2の電極部C2)の相対的な形成位置が同一である一方、Y方向においては、画素領域P12、P22、P32・・・におけるTFT11及び画素電極12の相対的な形成位置が一段毎に左右反転している。

【0063】しかしながら、保持容量コンデンサCSは、いずれの画素領域においても同じ相対位置に形成されている。言い替えると、画素領域における保持容量コンデンサCSの相対位置は、Y方向に隣接する保持容量コンデンサ同士の間で同一である。

【0064】また、保持容量コンデンサCSの第1の電極部C1と、保持容量線CM1、CM2・・・から張り出す第2の電極部C2との間における相対的な位置関係は、Y方向に隣接する保持容量コンデンサ同士の間で同一である。すなわち、各画素領域の間で同一である。

【0065】このような構成のアクティブマトリクス基板の製造方法は、第1の実施例とはほぼ同様であり、ゲート電極113、ゲート線G1、G2、G3・・・を形成するときに、保持容量線CM1、CM2、CM3・・・とそれらから張り出す第2の電極部C2とを同時に形成する点だけが相違する。

【0066】従って、図7において、TFT11及び保

保持容量コンデンサCSの第1の電極部C1を形成するための下層側の多結晶シリコン膜の形成パターンA3と、ゲート線G1、G2、G3・・・、ゲート電極113、保持容量線CM1、CM2、CM3・・・及び保持容量コンデンサCSの第2の電極部C2を形成するための上層側の多結晶シリコン膜の形成パターンA5との重なり部分を保持容量コンデンサCSの対向部分C0として斜線を付して表したとき、多結晶シリコン膜の形成パターンA3と、多結晶シリコン膜の形成パターンA5との間でアライメントが左右方向(X方向)にずれても、各画素領域P11、P12・・・P21、P22・・・P31、P32・・・の間で、斜線を付した対向部分C0の面積(保持容量コンデンサCSの容量値)が常に等しくなる。それ故、本実施例によれば、ゲート線単位でのフリッカーを防止することができるなど、第1の実施例と同様な効果を有する。

【0067】〔第3の実施例〕第1及び第2の実施例では、いずれもスイッチング素子として、コプラナ型のTFTを用いたが、本実施例では、これに代えて逆スタガ型のTFTを用いている。

【0068】図8は、アモルファスシリコン膜を能動層に用いたTFT及び保持容量コンデンサの断面図である。図8において、ガラス製の基板110Aの表面側には、下地膜110Aの上にタンタル膜からなるゲート電極113Aが形成され、その表面には、ゲート絶縁膜としてのタンタル酸化物114Aが形成されている。タンタル酸化物114Aの表面には、シリコン窒化物114Bが形成され、タンタル酸化物114Aとシリコン窒化物114Bとがゲート絶縁膜として機能するようになっている。シリコン窒化物114Bの表面側には、チャネルを形成するための真性のアモルファスシリコン膜117Aが形成されている。真性のアモルファスシリコン膜117Aの表面側には、高濃度のN型のアモルファスシリコン膜116Aが形成されている。N型のアモルファスシリコン膜116Aは、ゲート電極113Aと対峙する部分がエッチングされ、ソース領域111Aとドレイン領域112Aとに分割されている。ソース領域111Aには、モリブデン層118Aを介してアルミニウム電極層118Bが形成されており、このアルミニウム電極層118Bは、ソース線S1、S2、S3・・・に接続されている。ドレイン領域112Aには、ITO膜からなる画素電極12Aが接続されている。

【0069】画素電極12A(ITO膜)は、図9に示すように、画素領域P11、P12、P13・・・の端部にまで形成されており、そこで、画素電極12Aの端部は、保持容量コンデンサCSの第1の電極部C1になっている。

【0070】第1の電極部C1の下層側には、ゲート絶縁膜と同時に形成されたタンタル酸化物114Aとシリコン窒化物114Bとからなる保持容量コンデンサCS

の誘電体膜C3が形成されている。誘電体膜C3の下層側には、ゲート電極113Aと同時に形成されたタンタル膜が形成されており、このタンタル膜は、保持容量コンデンサCSの第2の電極部C2になっている。

その他の構成は、第1の実施例と同様になっているため、その詳細な説明を省略する。本実施例でも、図9に示すように、画素領域P11、P12、P13・・・は、デルタ配列のカラーフィルタ21に対応して配置されている。ここで、同一のソース線S1、S2、S3・・・に対しては、同じ色に対応する画素領域P11、P12、P13・・・の画素電極12Aのみが接続されている。このため、同一のソース線S2には、緑色(R)に対応する画素領域P12、P22、P32・・・がソース線S2の左右反対側から交互に接続している。

【0071】この場合でも、第1の実施例と同様に、例えば、ソース線S2に沿ってY方向に並ぶ画素領域P12、P22、P32・・・では、保持容量コンデンサCSの形成位置が画素領域内の同じ位置にある。すなわち、保持容量コンデンサCSの第1の電極部C1は、画素電極12Aの端部で構成されている点で実施例1と相違するが、この第1の電極部C1と、前段のゲート線G0、G1、G2・・・から張り出す第2の電極部C2との間における相対的な位置関係は、画素領域P11、P12、P13・・・の間でX方向及びY方向のいずれの方向においても一致するように設定されている。それ故、図10において、画素電極12A及び保持容量コンデンサCSの第1の電極部C1を形成するためのITO膜の形成パターンA7と、ゲート線G1、G2、G3・・・、ゲート電極113A及び保持容量コンデンサCSの第2の電極部C2を形成するためのタンタル膜の形成パターンA8との重なり部分を保持容量コンデンサCSの対向部分C0として斜線を付して表したとき、ITO膜の形成パターンA7とタンタル膜の形成パターンA8を形成する際に、左右方向(X方向)にアライメントずれが発生しても、奇数段目のゲート線G1、G3・・・に接続する画素領域P11、P12・・・P31、P32・・・の保持容量コンデンサCSと、ゲート線G2・・・に接続する画素領域P21、P22・・・の保持容量コンデンサCSとの間では、斜線を付した対向部分C0の面積(保持容量コンデンサCSの容量値)は等しい。それ故、本実施例によれば、ゲート線単位でのフリッカーの発生を防止できるなど、第1の実施例と同様な効果を有する。

【0072】なお、本実施例では、第2の電極部C2を形成するにあたって、第1の実施例と同様、前段のゲート線G0、G1、G2、G3・・・を用いたが、第2の実施例のように、専用の保持容量線CM1、CM2、CM3・・・を形成し、それを用いて、保持容量コンデンサCSを構成してもよい。

【0073】〔第4の実施例〕第1ないし第3の実施例

は、デルタ配列のカラーフィルタを用いた液晶表示装置についての実施例であるが、本実施例は、モザイク配列のカラーフィルタを用いた液晶表示装置についての実施例である。なお、本実施例では、カラーフィルタがモザイク配列になっているため、画素が格子状に配置されているが、その他の部分は、第1の実施例と同様であるため、対応する部分には、同じ符号を付してそれらの詳細な説明を省略する。

【0074】図11は、本実施例のアクティブマトリクス基板の各構成部分のパターンを示した図である。透明な基板の表面には、X方向に延びるゲート線G1、G2、G3・・・とY方向に延びるソース線S1、S2、S3・・・との交点に対応して画素領域P11、P12、P13・・・が形成されている。これらの画素領域P11、P12、P13・・・では、ソース線S1、S2、S3・・・に対し、スイッチング素子としてのTFT11を介して透明な画素電極12が接続されている。また、液晶容量部CLCでの保持特性を向上するために、前段のゲート線G0、G1、G2、G3・・・と画素電極12との間には、保持容量コンデンサCSが形成されている。

【0075】このような構成は、第1ないし第3の実施例のように、カラーフィルタ21がデルタ配列の場合と同じであるが、本実施例では、赤色R、緑色G、青色Bのカラーフィルタ21がモザイク配列で形成されているため、赤色R、緑色G、青色Bのカラーフィルタ21に対応するように、画素領域P11、P12、P13・・・が配列されている。図11では、各画素領域P11、P12、P13・・・に、それに対応するカラーフィルタの色の種類を(R)(G)(B)で示してある。ここで、赤色、緑色、青色の3色のカラーフィルタは、図13に示したように、これら3色を1単位としてX方向に周期的に配列されている。ここで、第1のカラーフィルタ列F1(奇数段目のカラーフィルタ列)と第2のカラーフィルタ列F2(偶数段目のカラーフィルタ列)とは、前記の1単位周期の1/3周期に相当する距離だけX方向に交互にずれた状態にある。

【0076】このようなカラーフィルタの配列に対応して、ゲート線G1に接続する画素領域P11、P12、P13・・・では、赤色R、緑色G、青色Bのカラーフィルタ21に対応する3つの画素領域P11、P12、P13を1単位としてX方向に直線的に繰り返し配置され、第1の画素列(奇数段目の画素列)が形成されている。また、ゲート線G2に接続する画素領域P21、P22、P23・・・からなる第2の画素列(偶数段目の画素列)でも、赤色R、緑色G、青色Bに対応する3つの画素領域P21、P22、P23を1単位としてX方向に直線的に繰り返し配置されている。ここで、第1の画素列(奇数段目の画素列)と第2の画素列(偶数段目の画素列)との間では、赤色R、緑色G、青色Bのカ

ーフィルタ21に対応する3色の画素領域を1単位として周期的に配列したときの1/3周期に相当する距離だけX方向に、かつ交互にずれるように配置されている。その結果、各画素領域P11、P12、P13・・・の中心位置は、一段毎に1画素ピッチだけ左右交互にずれた状態にある。

このように構成したアクティブマトリクス基板では、デルタ配列と相違して、各ソース線S1、S2、S3・・・のうち、同一のソース線に対して同じ色に対応する画素領域の画素電極のみが接続する場合でも、ソース線S1、S2、S3・・・は、Y方向に向かって各画素領域の間を直線的に延びるように形成される。

【0077】ここで、同一のソース線、例えば、ソースS2には、画素領域P12、P22、P32・・・の画素電極12が左右反対側から交互に接続されるのは、第1ないし第3の実施例と同様である。従って、X方向に並ぶ各画素領域P11、P12、P13・・・の間では、TFT11、画素電極12及び保持容量コンデンサCS(第1の電極部C1及び第2の電極部C2)の相対的な形成位置が同一であるが、ソース線S2に沿ってY方向に並ぶ画素領域P12、P22、P32・・・の間では、TFT11及び画素電極12の相対的な形成位置が一段毎に左右に反転している。

【0078】しかしながら、保持容量コンデンサCSは、いずれの画素領域においても同じ相対位置に形成されている。言い替えると、画素領域における保持容量コンデンサCSの相対位置は、Y方向に隣接する保持容量コンデンサ同士の間で同一である。

【0079】また、保持容量コンデンサCSの第1の電極部C1と、前段のゲート線G0、G1、G2・・・から張り出す第2の電極部C2との間における相対的な位置関係は、各画素領域P12、P22、P32・・・の間でX方向及びY方向のいずれの方向においても同一である。それ故、保持容量コンデンサCSの第1の電極部C1と、第2の電極部C2とを形成する際に、左右方向(X方向)又は上下方向(Y方向)のアライメントずれが発生した場合も、奇数段目のゲート線G1、G3・・・に対応する画素領域P11、P12、P13・・・と、偶数段目のゲート線G2・・・に対応する画素領域P21、P22、P23・・・との間で保持容量コンデンサCSの容量値が等しいので、ゲート線単位でのフリッカーの発生を防止できるなど、第1の実施例と同様な効果を有する。

なお、第1の実施例と同様に、前段のゲート線G0、G1、G2、G3・・・の一部を保持容量コンデンサCSの第2の電極部C2に用いたが、第2の実施例のように、専用の保持容量線CM1、CM2、CM3・・・を形成し、その一部を保持容量コンデンサCSの第2の電極部C2に用いてもよい。

【0080】また、TFT11としては、コプラナ型の

TFTに限らず、第3の実施例のように、逆スタガ型のTFTを用いてもよい。

【0081】〔その他の実施例〕本発明のアクティブマトリクス基板は、モノクロ液晶表示装置に用いた場合にも、カラー液晶表示装置の場合と同様に、アライメントずれに起因するフリッカを防止することができる。

【0082】また、各実施例においては、透明なITO電極を用いたが、アルミニウム電極等を画素電極として用いた反射型の液晶表示装置にも同様に本発明を適用できる。

さらに、TFTに代えて、MIM(Metal-Insulator-Metal)構造のダイオードをスイッチング素子として用いたアクティブマトリクス基板にも本発明を適用できる。すなわち、Y方向に隣接する保持容量コンデンサ同士で、保持容量コンデンサの第1の電極部と第2の電極部との相対的な形成位置を同一とすれば、実施例1ないし4と同じ効果を有する。

【0083】〔産業上の利用可能性〕以上のとおり、本発明においては、アクティブマトリクス基板の保持容量コンデンサを構成する第1の電極部と第2の電極部の構造を、各画素領域間で平行移動すれば重ね合わせることでできるパターン、すなわち、第1の電極部と第2の電極部との相対的な位置関係を各画素領域間で同一にしたことに特徴を有する。従って、本発明によれば、第1の電極部及び第2の電極部を形成する際にアライメントずれがあっても、保持容量コンデンサの容量値は等しくなる。それ故、奇数のゲート段と偶数のゲート段との間で保持容量コンデンサの容量値の差をなくすことができ、フリッカーを軽減することができる。

【0084】また、画素領域では、第1の電極部及び第2の電極部の形成位置や占有面積が限られているが、本発明によれば、第1の電極部と第2の電極部との相対的な位置関係を最適化するだけで、第1の電極部及び第2の電極部を形成する際のアライメントずれに起因するフリッカを防止できる。それ故、高精細及び高密度の液晶表示装置を実現する際には、特に有利である。

さらに、奇数のゲート段に対応する画素領域と偶数のゲート段に対応する画素領域との間では、第1の電極部の形成パターンだけが相違し、その他の構成部分のパターンが実質的に等しい。それ故、カラーフィルタを備える対向基板とアクティブマトリクス基板とのアライメントずれ、又はアクティブマトリクス基板上でのアライメントずれが発生しても、奇数のゲート段に接続する画素領域と偶数のゲート段に接続する画素領域との間で開口率の差もなくなり、横ラインむらを効果的に防止することができる。

【図面の簡単な説明】

【図1】アクティブマトリクス基板を用いたカラー液晶表示装置の基本的な構成を示す図である。

【図2】第1の実施例に係る液晶表示装置に用いたアクティブマトリクス基板の各構成部分の形成パターンを示す平面図である。

【図3】図2に示す形成パターンの模式図である。

【図4】(A)は、図2のIV-IV'線における断面図、

(B)は図2のV-V'線における断面図、(C)は、図2のVI-VI'線における断面図である。

10 【図5】図2に示すアクティブマトリクス基板において、基板表面に保持容量コンデンサの二つの電極部を形成する各シリコン膜の形成パターンを模式的に示す平面図である。

【図6】第2の実施例に係る液晶表示装置に用いたアクティブマトリクス基板の各構成部分の形成パターンを示す平面図である。

【図7】図6に示すアクティブマトリクス基板において、基板表面に保持容量コンデンサの二つの電極部を形成する各シリコン膜の形成パターンを模式的に示す平面図である。

【図8】第3の実施例に係る液晶表示装置に用いたアクティブマトリクス基板のTFTとして用いた逆スタガ型のTFTの断面図である。

【図9】第3の実施例に係る液晶表示装置に用いたアクティブマトリクス基板の各構成部分の形成パターンを示す平面図である。

【図10】図9に示すアクティブマトリクス基板において、基板表面に保持容量コンデンサの二つの電極部を形成するタンタル膜及びITO膜の形成パターンを模式的に示す平面図である。

【図11】第4の実施例に係る液晶表示装置に用いたアクティブマトリクス基板の各構成部分の形成パターンを示す平面図である。

【図12】デルタ配列の色配列パターンを示す図である。

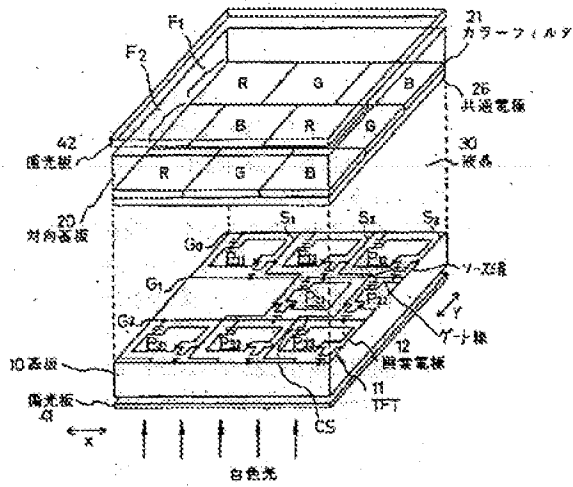
【図13】モザイク配列の色配列パターンの一例を示す図である。

【図14】従来の液晶表示装置に用いたアクティブマトリクス基板の各構成部分の形成パターンを示す平面図である。

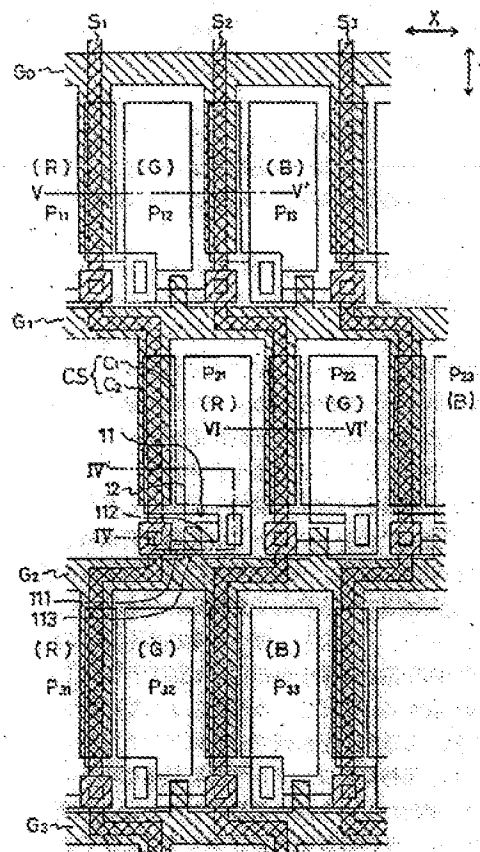
【図15】(A)は、図14のI-I'線における断面図、(B)は図14のII-II'線における断面図、(C)は図14のIII-III'線における断面図である。

【図16】図14に示すアクティブマトリクス基板において、基板表面に保持容量コンデンサの二つの電極部を形成する各シリコン膜の形成パターンを模式的に示す平面図である。

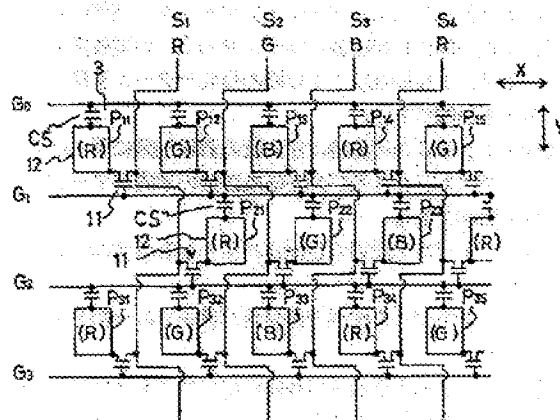
【図1】



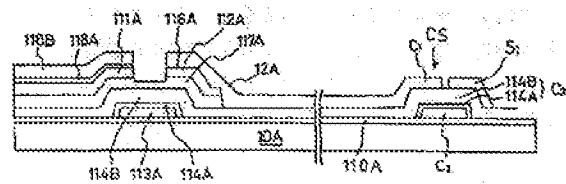
【図2】



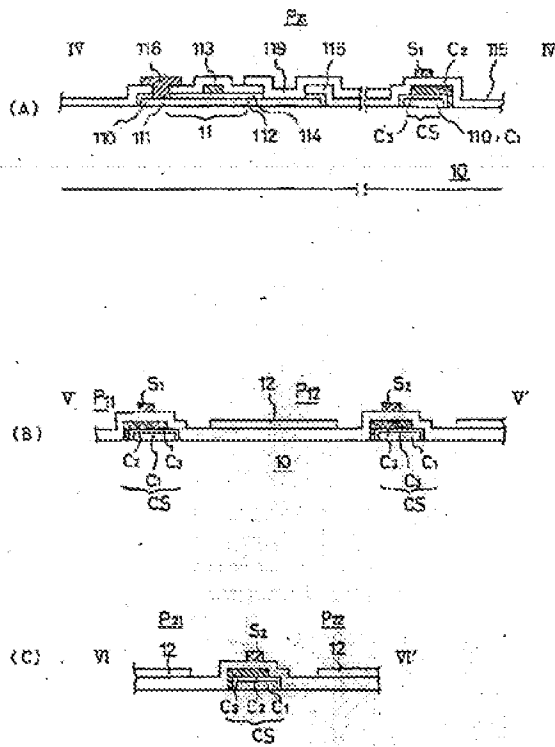
【図3】



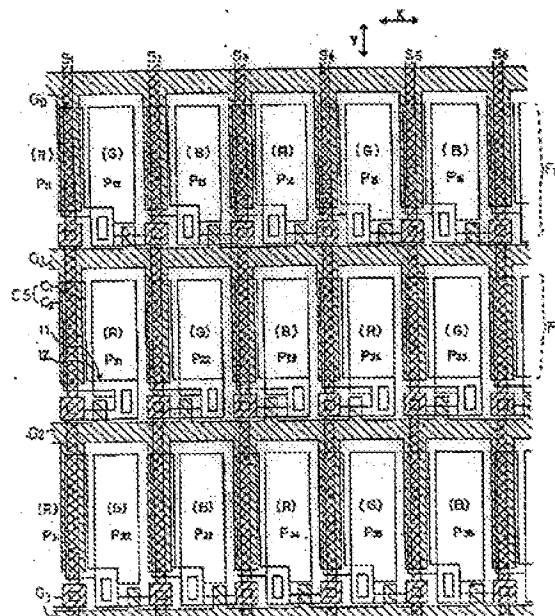
【図8】



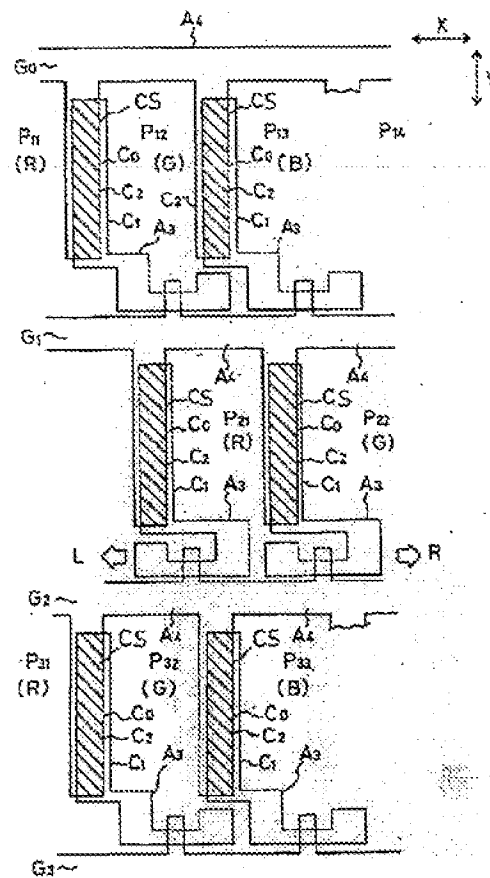
【図4】



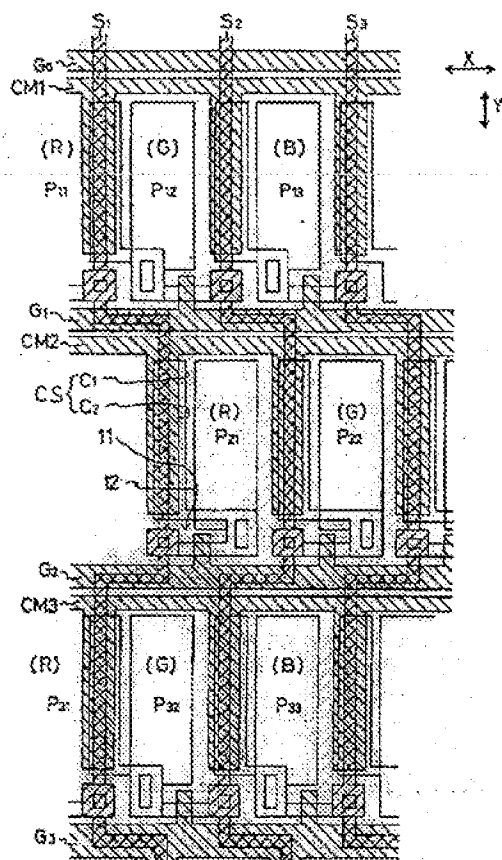
【図11】



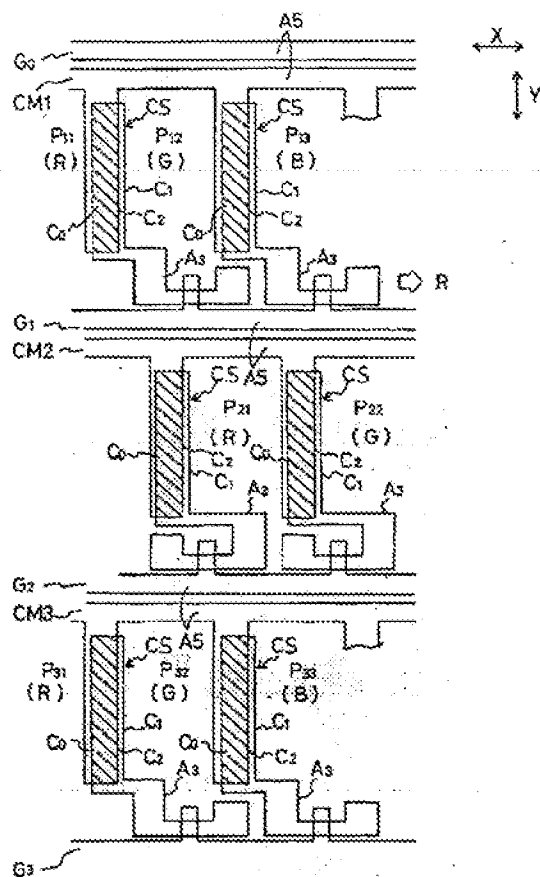
【図5】



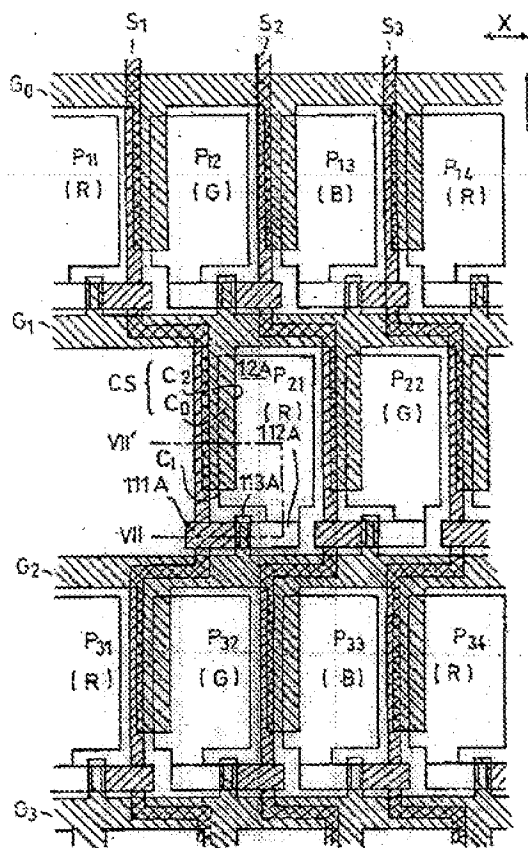
·【图6】·



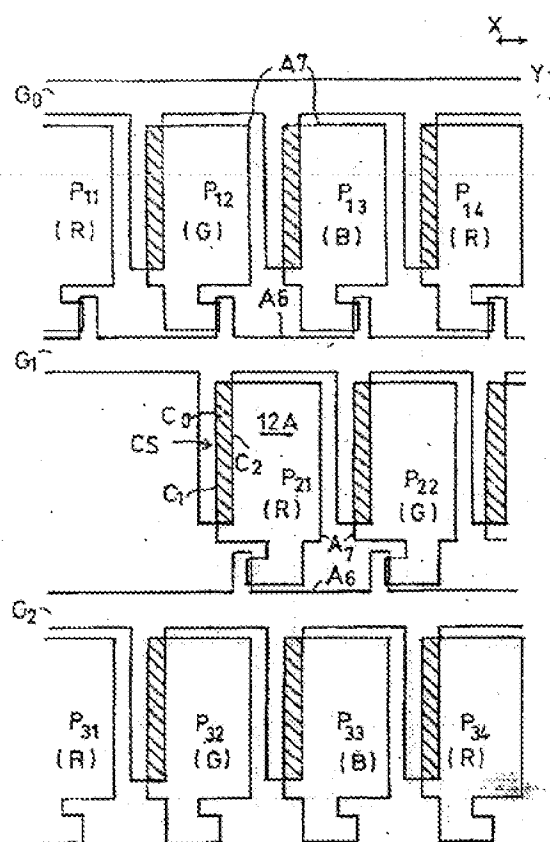
·[297]·



【図9】



【図10】



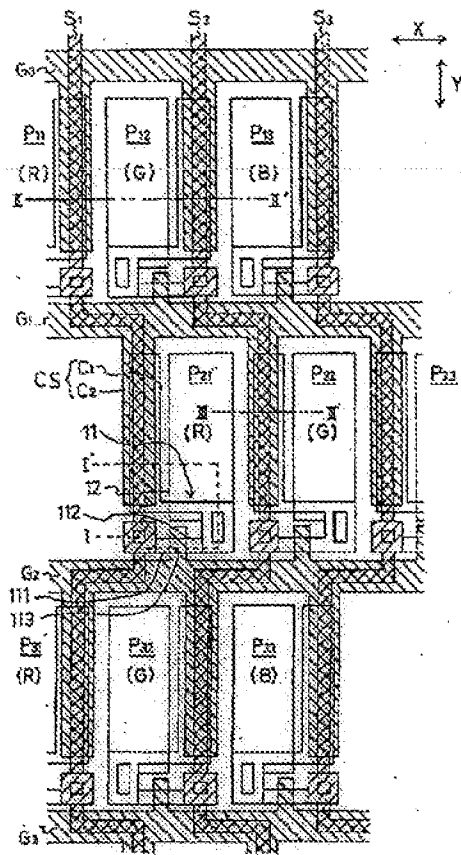
【図12】

<u>Pos</u>						
R	G	B	R	G	B	
	B	R	G	B	R	
R	G	B	R	G	B	
	B	R	G	B	R	
R	G	B	R	G	B	

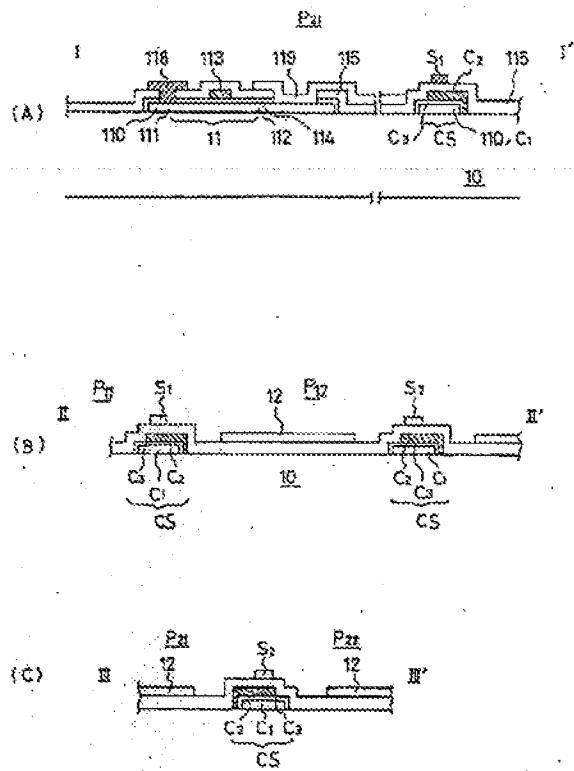
【図13】

<u>Pos</u>						
R	G	B	R	G	B	
B	R	G	B	R	G	
R	G	B	R	G	B	
B	R	G	B	R	G	
R	G	B	R	G	B	

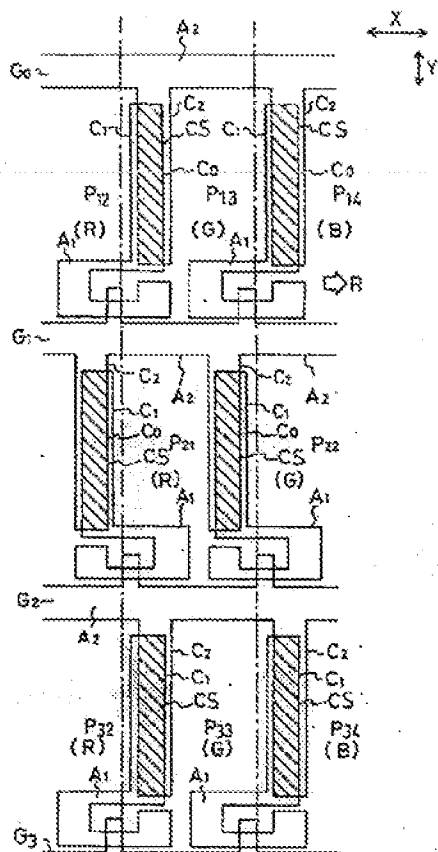
【図14】



【図15】



【図1-6】



## 【手続補正書】

【提出日】平成13年7月30日(2001. 7. 30)

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正内容】

【発明の名称】 アクティブマトリクス基板及び液晶装置

## 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 複数のゲート線と、複数のソース線と、前記ゲート線と前記ソース線との交差に対応して配置された画素電極と、前記ゲート線に接続されたゲート

電極と前記ソース線に接続されたソース領域と前記画素電極に接続されたドレイン領域とを有する薄膜トランジスタとを備え、

前記ソース領域及びドレイン領域を構成する半導体層から延出された第1容量電極と、前記ゲート線に沿うとともに前記ソース線方向に張り出して第1容量電極に対向配置された第2容量電極となる容量線とにより保持容量が形成されてなり、

前記第1容量電極と前記第2容量電極とは前記ソース線に重なるように配置されてなり、

前記ソース線に沿って配置された第2容量電極は絶縁膜を介して前記画素電極に重なるように配置されてなり、前記ソース線の延在する方向に隣接する保持容量同士の間で、前記第2容量電極に対する第1容量電極の相対的な形成位置が同一であることを特徴とするアクティブマトリクス基板。

【請求項2】 請求項1に記載のアクティブマトリクス基板と対向基板との間に液晶を有することを特徴とす

る液晶装置。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正内容】

【0019】

【課題を解決するための手段】本発明は、複数のゲート線と、複数のソース線と、前記ゲート線と前記ソース線との交差に対応して配置された画素電極と、前記ゲート線に接続されたゲート電極と前記ソース線に接続されたソース領域と前記画素電極に接続されたドレイン領域とを有する薄膜トランジスタとを備え、前記ソース領域及びドレイン領域を構成する半導体層から延出された第1容量電極と、前記ゲート線に沿うとともに前記ソース線方向に張り出して第1容量電極に対向配置された第2容量電極となる容量線とにより保持容量が形成されてなり、前記第1容量電極と前記第2容量電極とは前記ソース線に重なるように配置されてなり、前記ソース線に沿って配置された第2容量電極は絶縁膜を介して前記画素電極に重なるように配置されてなり、前記ソース線の延在する方向に隣接する保持容量同士の間で、前記第2容量電極に対する第1容量電極の相対的な形成位置が同一であることを特徴とする。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】削除

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】削除

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】削除

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】削除

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】削除

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】削除

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】削除

フロントページの続き

(51)Int. Cl.7

識別記号

FI

キーワード(参考)

G09F 9/30

349

G09F 9/30

349B

9/35

9/35

Fターム(参考) 2H048 BA02 BB02 BB07 BB08 BB44

2H091 FA02Y FD02 GA01 GA02

GA13 LA30

2H092 GA22 GA30 JA24 JA46 JB03

JB62 PA01 PA06 PA08

5C094 AA03 AA05 AA08 AA48 BA03

BA43 CA19 CA24 DB04 EA04

EA05 EA07 EA10 EB02 ED03

FA01 FB12 FB14 FB15 JA01